

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-094077

(43)Date of publication of application : 07.04.1995

(51)Int.Cl.

H01J 1/30

(21)Application number : 05-238571

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 24.09.1993

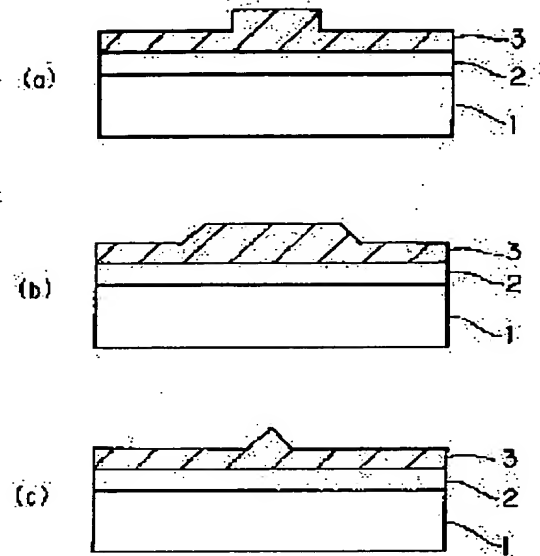
(72)Inventor : NISHIBAYASHI YOSHIKI
TOMIKAWA TADASHI
SHIKADA SHINICHI

(54) ELECTRONIC DEVICE

(57)Abstract:

PURPOSE: To apply electronic technique to diamond and provide an electronic device in which emitted current and current gain are enhanced, and breakdown voltage or current is also enhanced.

CONSTITUTION: An i-type layer 2 consisting of high resistance diamond and an n-type layer 3 consisting of low resistance diamond are successively laminated on a base 1 consisting of monocrystal diamond. The n-type layer 3 has a smooth surface, and a protruding emitter part is protruded in a prescribed area thereon. The emitter part has a bottom area within the range of $1-10\mu$ squares, and a height about $1/10$ of the bottom part minimum width. Since diamond has a negative electron affinity which is extremely close to zero, the difference between conduction band and vacuum level is fine. In the n-type layer, since nitrogen is doped in a high density as n-type dopant, and the donor level is degenerated and present near the conduction band, metallic conduction is dominant as conduction of electron, and electrons can be easily taken out into vacuum by a field emission having a small field strength even when the top end part of the emitter part is not fine.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94077

(43) 公開日 平成7年(1995)4月7日

(51) Int. Cl. ⁶

H01J 1/30

識別記号

C

F I

審査請求 未請求 請求項の数 8 O L (全17頁)

(21) 出願番号 特願平5-238571

(22) 出願日 平成5年(1993)9月24日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 西林 良樹

兵庫県伊丹市昆陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内

(72) 発明者 富川 唯司

兵庫県伊丹市昆陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内

(72) 発明者 鹿田 真一

兵庫県伊丹市昆陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内

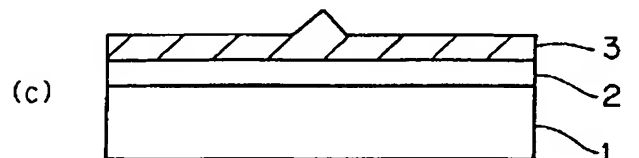
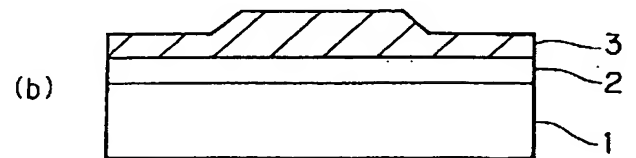
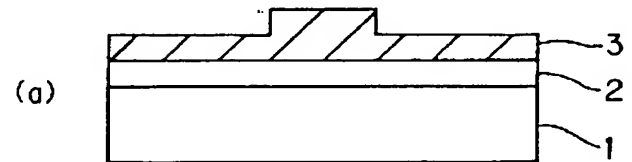
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 電子デバイス

(57) 【要約】 (修正有)

【目的】 マイクロ電子技術をダイヤモンドに適用し、放出電流及び電流利得が増大すると共に、耐電圧または耐電流が増大する電子デバイスを提供する。

【構成】 単結晶ダイヤモンドからなる基板1上には、高抵抗ダイヤモンドからなるi型層2、及び低抵抗ダイヤモンドからなるn型層3を順次積層して形成する。n型層は平滑な表面を有し、所定領域に凸状のエミッタ部が突出する。エミッタ部は範囲1〜10 μ m角の底部面積を有し、底部最小幅の1/10程度の高さを有する。ダイヤモンドは電子親和力が負でゼロに非常に近いので、伝導帯と真空準位との差が微小である。n型層ではn型ドーパントとして高濃度に窒素がドーピングされており、ドナー準位が縮退して伝導帯付近に存在しているので、電子の伝導として金属性伝導が支配的であり、エミッタ部の先端が微細でなくとも、小さい電界強度による電界放出で容易に真空中に電子が取り出される。



【特許請求の範囲】

【請求項1】 真空容器内で電子を放出する電子デバイスにおいて、

基板上に平滑な表面を有して形成されたn型ダイヤモンド層を備え、このn型ダイヤモンド層は、前記表面の所定領域に $10\mu\text{m}$ 角以内の底部面積を有するエミッタ部が該表面から突出して形成されていることを特徴とする電子デバイス。

【請求項2】 真空容器内で電子を放出する電子デバイスにおいて、

平滑な表面を有して形成された基板と、この基板の前記表面の所定領域に $10\mu\text{m}$ 角以内の底部面積を有し、該表面から突出して形成されたエミッタ部とを備え、このエミッタ部は、先端領域にn型ダイヤモンド層が形成されていることを特徴とする電子デバイス。

【請求項3】 前記エミッタ部は、前記基板上に複数個が二次元的に配列されていることを特徴とする請求項1または請求項2記載の電子デバイス。

【請求項4】 前記エミッタ部は、前記表面に対して前記所定領域における最小幅の値の $1/10$ 以上の高さを有して形成されていることを特徴とする請求項1または請求項2記載の電子デバイス。

【請求項5】 前記n型ダイヤモンド層は、n型ドーパントが窒素であることを特徴とする請求項1または請求項2記載の電子デバイス。

【請求項6】 前記n型ダイヤモンド層は、窒素のドーパント濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以上であることを特徴とする請求項5記載の電子デバイス。

【請求項7】 前記n型ダイヤモンド層は、窒素のドーパント濃度が硼素のドーパント濃度より大きく、かつ該硼素のドーパント濃度の 100 倍以下であることを特徴とする請求項5記載の電子デバイス。

【請求項8】 前記n型ダイヤモンド層は、窒素のドーパント濃度が硼素のドーパント濃度より大きく、かつ該硼素のドーパント濃度の 10 倍以下であることを特徴とする請求項7記載の電子デバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロ真空管、発光素子アレイ等において電子線のエミッタとして機能する冷陰極素子に利用される電子デバイスに関する。

【0002】

【従来の技術】従来の半導体デバイスには、電子移動度が真空中と比較して $1/1000$ 程度と小さいことや、放射線に対する信頼性が低いという短所があった。一方、従来の真空管には、このような短所が存在していなかった。そのため、Si半導体デバイスにおいて培われた微細加工技術を用いてマイクロ真空管を製造することにより、従来の真空管の性能を有するICが作成可能であると考えられるようになった。したがって、近

年、Si半導体デバイスの製造技術を駆使することにより、従来の半導体デバイスの短所を克服するマイクロ真空管が盛んに研究開発されている。

【0003】このような動向に関連し、マイクロ真空管、発光素子アレイ等に用いられる電子線のエミッタが研究されている。しかしながら、従来の真空管では、動作開始から使用可能になるまで数分間の長い待機時間を要するという短所があった。そのため、マイクロ真空管などの電子デバイスでは、Si半導体デバイスの製造技術によりエミッタ部の先端を非常に鋭い針のように微細加工し、電界放出で電子を取り出すことにより、待機時間が非常に短縮されるようになった。

【0004】また、近年、電子デバイスの材料としてダイヤモンドを利用することが注目されている。ダイヤモンドは熱伝導率が $20\text{W}/\text{cm} \cdot \text{K}$ であり、これは電子デバイスの他の材料の中で最大であり、Siの 10 倍以上の値を有する。そのため、大きな電流密度に対して放熱性に優れているので、高温下で動作可能な電子デバイスが形成され得る。

【0005】また、ダイヤモンドはノンドープの状態では絶縁体であり、絶縁耐圧が大きい上に、誘電率が 5.5 と小さく、破壊電界が $5 \times 10^6 \text{V}/\text{cm}$ と大きいという特徴を有する。そのため、高周波で使用される大電力用の電子デバイスとしても、有望である。

【0006】低抵抗の導電性を有するダイヤモンドの作製については、MITのGeisららがカーボンの注入によりn型ダイヤモンド半導体を形成している。

【0007】なお、このような先行技術に関しては、文献"Appl. Phys. Lett., vol. 41, no. 10, pp. 950-952, November 1982"などに詳細に記載されている。

【0008】

【発明が解決しようとする課題】上記従来の電子デバイスでは、容易に微細加工を行ってエミッタ部を作製するために、材料として単結晶シリコン基板やこれと併用して高融点を有する金属が用いられている。しかしながら、このような材料から形成されているエミッタ部では、放出電流が1素子当たりせいぜい $100\mu\text{A}$ 程度であり、これにより構成されたトランジスタで評価された相互コンダクタンス g_m は μS のオーダーに留まっているという問題がある。これらの値は、通常の半導体デバイスに要求される放出電流、相互コンダクタンスそれぞれが mA 、 mS 程度のオーダーであることと比較し、非常に小さいものである。

【0009】また、上記従来の電子デバイスでは、エミッタ部を非常に低電圧で動作させるために、エミッタ部の先端が非常に細く形成されている。そのため、このようなエミッタ部では、動作中の電流密度が大きくなるので、耐電圧または耐電流が増大しないという問題がある。

【0010】さらに、上記従来のn型ダイヤモンド半導

体では、電子が効率良く取り出せないという問題がある。

【0011】そこで、本発明は、以上の問題点に鑑みてなされたものであり、マイクロ電子技術をダイヤモンドに適用し、動作中のエミッタ部における電流密度を低減することにより、放出電流及び電流利得が増大すると共に、耐電圧または耐電流が増大する電子デバイスを提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、上記の目的を達成するために、真空容器内で電子を放出する電子デバイスにおいて、基板上に平滑な表面を有して形成されたn型ダイヤモンド層を備え、このn型ダイヤモンド層は、表面の所定領域に10 μ m角以内の底部面積を有するエミッタ部が当該表面から突出して形成されていることを特徴とする。

【0013】また、本発明は、上記の目的を達成するために、真空容器内で電子を放出する電子デバイスにおいて、平滑な表面を有して形成された基板と、この基板の表面の所定領域に10 μ m角以内の底部面積を有し、当該表面から突出して形成されたエミッタ部とを備え、このエミッタ部は、先端領域にn型ダイヤモンド層が形成されていることを特徴とする。

【0014】なお、上記エミッタ部は、基板上に複数個が二次元的に配列されていることを特徴としてもよい。

【0015】また、上記エミッタ部は、表面に対して所定領域における最小幅の値の1/10以上の高さを有して形成されていることを特徴としてもよい。

【0016】また、上記n型ダイヤモンド層は、n型ドーパントが窒素であることを特徴としてもよい。

【0017】また、上記n型ダイヤモンド層は、窒素のドーパント濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上であることを特徴としてもよい。

【0018】また、上記n型ダイヤモンド層は、窒素のドーパント濃度が硼素のドーパント濃度より大きく、かつ当該硼素のドーパント濃度の100倍以下であることを特徴としてもよい。

【0019】さらに、上記n型ダイヤモンド層は、窒素のドーパント濃度が硼素のドーパント濃度より大きく、かつ当該硼素のドーパント濃度の10倍以下であることを特徴としてもよい。

【0020】

【作用】本発明によれば、基板上に平滑な表面を有して形成されたn型ダイヤモンド層に、当該表面の所定領域に10 μ m角以内の底部面積を有するエミッタ部が、当該表面から突出して形成されている。

【0021】このn型ダイヤモンド層を構成するダイヤモンドは、電子親和力がゼロに非常に近い値を有することにより、伝導帯と真空準位との差が微小である。ここで、本件出願の発明者は、ダイヤモンド中で電流を移動

させることにより、容易に電子を真空中に取り出せると推測した。

【0022】そこで、当該発明者は、n型ドーパントとして高濃度に窒素をドーピングすることにより、あるいは窒素のドーパント濃度に対応して硼素をさらにドーピングすることによりn型ダイヤモンド層を形成し、電界放出により非常に高効率で電子が真空中に放出されることを確認した。このn型ダイヤモンド層では、n型ドーパントが高濃度にドーピングされていることにより、ドナー準位が縮退して伝導帯付近に存在しているので、電子の伝導として金属性伝導が支配的になっている。

【0023】これにより、基板温度を約300～約600℃程度の温度に上昇させると共に、エミッタ部の表面付近で電界を発生すると、エミッタ部の先端部分から電子が真空中に高効率で放出される。また、n型ダイヤモンド層における窒素のドーパント濃度が大きい場合は、基板温度が室温程度であっても、電界放出によりエミッタ部の先端部分から電子が高効率で取り出される。

【0024】そのため、n型ダイヤモンドからなるエミッタ部は先端部分を非常に微細に形成されていなくとも、所定領域の内側部に10 μ m角以内の底部面積を有して当該所定領域の周辺部表面より突出していれば、小さい電界強度による電界放出で容易に真空中に電子が取り出される。

【0025】したがって、放出電流及び電流利得が増大されると共に、エミッタ部における電流密度が低減されるので、耐電流または耐電圧が増大される。

【0026】また、本発明によれば、基板の平滑な表面の所定領域に、10 μ m角以内の底部面積を有するエミッタ部が当該表面から突出して形成されており、このエミッタ部の先端領域に、n型ダイヤモンド層が形成されている。

【0027】これにより上記と同様にして、基板温度を約300～約600℃程度の温度に上昇させると共に、エミッタ部の表面付近で電界を発生すると、エミッタ部の先端部分から電子が真空中に放出される。また、n型ダイヤモンド層における窒素のドーパント濃度が大きい場合は、基板温度が室温程度であっても、電界放出によりエミッタ部の先端部分から電子が取り出される。

【0028】

【実施例】以下、本発明に係る実施例の構成および作用について、図1ないし図26を参照して説明する。なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。また、図面の寸法比率は、説明のものと必ずしも一致していない。

【0029】図1(a)に、本発明の電子デバイスに係る第1実施例の構成を示す。基板1上には、i型層2及びn型層3が順次積層して形成されている。n型層3は、平滑な表面を有しており、所定領域に凸状のエミッタ部が当該表面から突出して形成されている。このエミ

ッタ部は、範囲 $1 \sim 10 \mu\text{m}$ 角の底部面積を有し、底部における最小幅の値の $1/10$ 以上の高さを有している。なお、エミッタ部の頂部面積は、底部面積とほぼ同一の値を有する。

【0030】ここで、基板1は、高圧合成された人工の単結晶ダイヤモンド(Ib型)からなる絶縁体基板、あるいはシリコンからなる半導体基板である。また、i型層2は、層厚約 $2 \mu\text{m}$ を有する高抵抗ダイヤモンドからなる。さらに、n型層3は、層厚約 $5 \mu\text{m}$ を有する低抵抗ダイヤモンドからなる。

【0031】なお、n型層3では、窒素が高濃度にドーパされており、ドーパント濃度 C_N が $1 \times 10^{19} \text{cm}^{-3}$ 以上である。あるいは、窒素と共に硼素がドーパされており、窒素のドーパント濃度 C_N は硼素のドーパント濃度 C_B に対して $100C_B \geq C_N > C_B$ の関係、望ましくは $10C_B \geq C_N > C_B$ の関係を有している。

【0032】また、i型層2では、窒素及び硼素が実際にほとんどドーパされておらず、少なくともそれぞれのドーパント濃度は共にn型層3における窒素のドーパント濃度の値未満である。

【0033】さらに、図1(b)、(c)に、上記第1実施例の第1及び第2変形例をそれぞれ示す。第1変形例では、エミッタ部の頂部面積が範囲 $0.5 \sim 5 \mu\text{m}$ 角であり、範囲 $1 \sim 10 \mu\text{m}$ 角の底部面積に対応した値を有する。また、第2変形例では、エミッタ部の頂部面積が $0.1 \mu\text{m}$ 角以内の値を有する。

【0034】次に、上記第1実施例の作用について説明する。

【0035】n型層3を構成するダイヤモンドは、電子親和力がゼロに非常に近い値を有することにより、伝導帯と真空準位との差が微小である。このn型層3では、n型ドーパントとして高濃度に窒素がドーパされており、あるいは窒素のドーパント濃度に対応して硼素がさらにドーパされているので、ドナー準位が縮退して伝導帯付近に存在しているので、電子の伝導として金属性伝導が支配的になっている。

【0036】これにより、基板温度を約 $300 \sim 600^\circ\text{C}$ 程度の温度に上昇させると共に、エミッタ部の表面付近で電界を発生すると、エミッタ部の先端部分から電子が真空中に高効率で放出される。また、n型層3における窒素のドーパント濃度が大きい場合は、基板温度が室温程度であっても、電界放出によりエミッタ部の先端部分から電子が高効率で取り出される。

【0037】そのため、n型層3からなるエミッタ部は先端部分を非常に微細に形成されていなくとも、小さい電界強度による電界放出で容易に真空中に電子が取り出される。したがって、放出電流及び電流利得が増大されると共に、エミッタ部における電流密度が低減されるので、耐電流または耐電圧が増大される。

【0038】図2に、上記第1実施例の製造工程を示

す。

【0039】まず、基板1上に、マイクロ波プラズマCVD法によりi型層2、n型層3及びマスク層4を順次積層して形成する(図2(a)参照)。

【0040】ここでは、i型層2は、 H_2 流量 100 sccm 及び CH_4 流量 6 sccm からなる混合ガスに、出力 300 W でマイクロ波を印加して高周波放電を行い、圧力 40 Torr で温度約 800°C の基板1に蒸着して形成されている。また、n型層3は、i型層2と同様の製造条件に、 NH_3 流量 5 sccm をドーパントガスとして混合ガスに加えて形成されている。さらに、マスク4は、Alまたは SiO_2 を蒸着して形成されている。

【0041】次に、マスク層4上に、レジスト層5をスピコートして形成する(図2(b)参照)。

【0042】次に、通常のリソグラフィ技術を用いてレジスト層5に所定のパターン形成を行う。続いて、通常のエッチング技術を用いてレジスト層5のパターンに対応してマスク層4を成形する(図2(c)参照)。

【0043】次に、 O_2 1%を含むArガスをを用いるドライエッチングを用いてマスク層4のパターンに対応してn型層3を成形する(図2(d)参照)。

【0044】なお、マスク層4のパターンの周辺部では、平滑な表面を有するようにエッチングを行い、結果としてマスク層4のパターンの内側部に、周辺部の表面から突出するようにエミッタ部を形成する。

【0045】また、図3及び図4に、それぞれ上記第1及び第2変形例の製造工程を示す。これらの製造工程は、上記第1実施例とほぼ同様に行われる。ただし、各エミッタ部は、頂部面積が上記第1実施例よりもそれぞれ小さくなるように形成される。

【0046】図5は、上記第1実施例に対する実験の説明図である。真空チャンバ11の内部はほぼ真空中に保持されており、底部に加熱ホルダ12が設置され、その上方に位置する設置部13にアノード電極板14が設置されている。加熱ホルダ12上には、電子デバイス10が設置され、アノード電極板14との間に距離 $0.1 \sim 5 \text{ mm}$ を保持している。

【0047】アノード電極板14とn型層3との間には、電圧源及び電流計が直列に配線されており、アノード電極板14と電子デバイス10との間に電界を発生する。また、電子デバイス10から放出された電子はアノード電極板14に捕獲され、電子デバイス10からの放出電流として電流計により検出される。

【0048】ここでは、電子デバイス10は、 1 mm 角の基板1上にn型層3からなる複数個のエミッタ部が間隔 $5 \sim 50 \mu\text{m}$ で二次元的に配列されている。各エミッタ部は、n型層3における窒素及び硼素のドーパント濃度を一定の範囲で変動させたことを除き、上記第1実施

10

20

30

40

50

例と同様にして形成されている。また、アノード電極板14は、板状のタングステン金属から形成されている。

【0049】まず、加熱ホルダを動作させることにより、基板1を温度20～600℃に設定した。次に、電圧源を動作させることにより、電子デバイス10とアノード電極板14との間に電圧10Vを印加し、発生した電界により電子デバイス10から放出された電流を電流計で測定した。

【0050】表1に、n型層3が高压合成されたバルク単結晶ダイヤモンドからなる場合の、窒素及び硼素のドーパント濃度に対する放出電流の変化を示す。

【0051】

【表1】

バルク単結晶ダイヤモンドからなるn型層		電圧10Vに対する電流値 (A)
窒素濃度(cm^{-3})	ホウ素濃度(cm^{-3})	
1×10^{19}	$< 1 \times 10^{16}$	1×10^{-4}
3×10^{19}	$< 1 \times 10^{16}$	4×10^{-4}
1×10^{20}	$< 1 \times 10^{16}$	1×10^{-3}
1×10^{21}	$< 1 \times 10^{16}$	5×10^{-3}

【0052】また、表2に、n型層3が単結晶ダイヤモンドからなる基板1上に気相合成された単結晶ダイヤモンド(エピタキシャル層)からなる場合の、窒素及び硼素のドーパント濃度に対する放出電流の変化を示す。

【0053】

【表2】

単結晶ダイヤモンドからなるn型層		電圧10Vに対する電流値 (A)
窒素濃度(cm^{-3})	ホウ素濃度(cm^{-3})	
1×10^{18}	$< 1 \times 10^{16}$	5×10^{-7}
3×10^{18}	$< 1 \times 10^{16}$	2×10^{-6}
1×10^{19}	$< 1 \times 10^{16}$	1×10^{-4}
3×10^{19}	$< 1 \times 10^{16}$	4×10^{-4}
1×10^{20}	$< 1 \times 10^{16}$	1×10^{-3}
1×10^{21}	$< 1 \times 10^{16}$	5×10^{-3}
1×10^{18}	1×10^{16}	5×10^{-6}
1×10^{18}	2×10^{17}	2×10^{-5}
1×10^{18}	9×10^{17}	5×10^{-5}
1×10^{18}	3×10^{18}	1×10^{-7}
1×10^{17}	2×10^{16}	5×10^{-6}
1×10^{17}	9×10^{16}	9×10^{-6}

【0054】さらに、表3に、n型層3がシリコンからなる基板1上に気相合成された多結晶ダイヤモンドからなる場合の、窒素及び硼素のドーパント濃度に対する放出電流の変化を示す。

【0055】

【表3】

多結晶ダイヤモンドからなるn型層		電圧10Vに 対する電流値 (A)
窒素濃度(cm^{-3})	ホウ素濃度(cm^{-3})	
1×10^{18}	$< 1 \times 10^{16}$	1×10^{-7}
3×10^{18}	$< 1 \times 10^{16}$	5×10^{-7}
1×10^{19}	$< 1 \times 10^{16}$	3×10^{-5}
3×10^{19}	$< 1 \times 10^{16}$	1×10^{-4}
1×10^{20}	$< 1 \times 10^{16}$	3×10^{-4}
1×10^{21}	$< 1 \times 10^{16}$	1×10^{-3}

【0056】これらの結果、n型層3における窒素のドーパント濃度 C_N が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である場合に、十分な放出電流が得られることがわかる。また、n型層3における窒素及び硼素のドーパント濃度 C_N 、 C_B が $100C_N \geq C_N > C_B$ の関係を有する場合、さらに望ましくは $10C_N \geq C_N > C_B$ の関係を有する場合に、十分な放出電流が得られることがわかる。

【0057】図6(a)に、本発明の電子デバイスに係る第2実施例の構成を示す。基板1上には、i型層2、n型層3、絶縁層6及びアノード電極層7が順次積層して形成されている。n型層3は、平滑な表面を有しており、所定領域に凸状のエミッタ部が当該表面から突出して形成されている。このエミッタ部は、範囲1~10 μm 角の底部面積を有し、底部における最小幅の値の1/10以上の高さを有しており、頂部が外部に露出されている。なお、エミッタ部の頂部面積は、底部面積とほぼ同一の値を有する。

【0058】また、絶縁層6は、エミッタ部の周辺部に位置するn型層3上に形成されている。さらに、グリッド電極層7は、絶縁層6上に形成されている。

【0059】ここで、基板1、i型層2及びn型層3は、上記第1実施例とほぼ同様に形成されている。ただし、絶縁層6は、Alまたは SiO_2 を蒸着して形成されている。また、アノード電極層7は、良好な導電性を有する金属を蒸着して形成されている。

【0060】また、図6(b)、(c)に、上記第2実施例の第1及び第2変形例をそれぞれ示す。第1変形例では、エミッタ部の頂部面積が範囲0.5~5 μm 角であり、範囲1~10 μm 角の底部面積に対応した値を有する。また、第2変形例では、エミッタ部の頂部面積が0.1 μm 角以内の値を有する。

【0061】本実施例は、上記構成によれば、上記第1実施例とほぼ同様に作用する。ただし、エミッタ部を除いたn型層3の周辺部上方にアノード電極層7が形成されていることにより、エミッタ部から放出された電子は、アノード電極層7で捕獲されて検出される。

【0062】図7及び図8に、上記第2実施例の製造工程を示す。

【0063】まず、基板1上に、マイクロ波プラズマCVD法によりi型層2、n型層3及びマスク層4を順次積層して形成する(図7(a)参照)。

【0064】ここでは、i型層2、n型層3及びマスク層4は、上記第1実施例の形成方法とほぼ同様にして形成されている。

【0065】次に、マスク層4上に、レジスト層5をスピコートして形成する(図7(b)参照)。

【0066】次に、通常のフォトリソグラフィ技術を用いてレジスト層5に所定のパターン形成を行う。次に、通常のエッチング技術を用いてレジスト層5のパターンに対応してマスク層4を成形する(図7(c)参照)。

【0067】次に、 O_2 1%を含むArガスを用いるドライエッチングを用いてマスク層4のパターンに対応してn型層3を成形する(図8(a)参照)。

【0068】なお、マスク層4のパターンの周辺部では、平滑な表面を有するようにエッチングを行い、結果としてマスク層4のパターンの内側部に、周辺部の表面から突出するようにエミッタ部を形成する。

【0069】次に、n型層3及びマスク層4上に、Alまたは SiO_2 を蒸着して絶縁層6を形成する(図8(b)参照)。

【0070】次に、エミッタ部の周辺部に位置する絶縁層6上に、金属を蒸着してアノード電極層7を形成する(図8(c)参照)。

【0071】また、図9及び図10、図11及び図12に、それぞれ上記第1及び第2変形例の製造工程を示す。これらの製造工程は、上記第2実施例とほぼ同様に行われる。ただし、各エミッタ部は、頂部面積が上記第1実施例よりもそれぞれ小さくなるように形成される。

【0072】図13は、上記第2実施例に対する実験の説明図である。真空チャンバ11の内部では、上記第1実施例に対する実験とほぼ同様にして、電子デバイス10が設置されている。ただし、アノード電極板14が設置されておらず、アノード電極層7とn型層3との間に電圧源及び電流計が直列に配線されている。

【0073】ここでは、電子デバイス10は、1mm角の基板1上にn型層3からなる複数個のエミッタ部が間隔5~50 μm で二次元的に配列されている。各エミッタ部は、n型層3における窒素及び硼素のドーパント濃度を一定の範囲で変動させたことを除き、上記第2実施例と同様にして形成されている。また、各エミッタ部に対応するアノード電極層7は、それぞれ独立して形成されている。さらに、アノード電極層7とn型層3との間で電圧源及び電流計を介する配線は、スイッチングにより、選択されたエミッタ部と電氣的に接続するように構成することも可能である。

【0074】まず、加熱ホルダを動作させることにより、基板1を温度20~600℃に設定した。次に、電

圧源を動作させることにより、電子デバイス10の選択したエミッタ部とアノード電極層7との間に電圧10Vを印加し、発生した電界により電子デバイス10から放出された電流を電流計で測定した。

【0075】表4に、n型層3が高圧合成されたバルク単結晶ダイヤモンドからなる場合の、窒素及び硼素のドーパント濃度に対する放出電流の変化を示す。

【0076】

【表4】

バルク単結晶ダイヤモンドからなるn型層		電圧10Vに対する電流値 (A)
窒素濃度(cm^{-3})	ホウ素濃度(cm^{-3})	
1×10^{19}	$< 1 \times 10^{16}$	5×10^{-4}
3×10^{19}	$< 1 \times 10^{16}$	2×10^{-3}
1×10^{20}	$< 1 \times 10^{16}$	5×10^{-3}
1×10^{21}	$< 1 \times 10^{16}$	3×10^{-2}

【0077】また、表5に、n型層3が単結晶ダイヤモンドからなる基板1上に気相合成された単結晶ダイヤモンド(エピタキシャル層)からなる場合の、窒素及び硼素のドーパント濃度に対する放出電流の変化を示す。

【0078】

【表5】

単結晶ダイヤモンドからなるn型層		電圧10Vに対する電流値 (A)
窒素濃度(cm^{-3})	ホウ素濃度(cm^{-3})	
1×10^{18}	$< 1 \times 10^{16}$	2×10^{-6}
3×10^{18}	$< 1 \times 10^{16}$	1×10^{-5}
1×10^{19}	$< 1 \times 10^{16}$	5×10^{-4}
3×10^{19}	$< 1 \times 10^{16}$	2×10^{-3}
1×10^{20}	$< 1 \times 10^{16}$	5×10^{-3}
1×10^{21}	$< 1 \times 10^{16}$	2×10^{-2}
1×10^{18}	1×10^{16}	3×10^{-5}
1×10^{18}	2×10^{17}	1×10^{-4}
1×10^{18}	9×10^{17}	3×10^{-4}
1×10^{18}	3×10^{18}	5×10^{-7}
1×10^{17}	2×10^{16}	3×10^{-5}
1×10^{17}	9×10^{16}	5×10^{-5}

【0079】さらに、表6に、n型層3がシリコンからなる基板1上に気相合成された多結晶ダイヤモンドからなる場合の、窒素及び硼素のドーパント濃度に対する放

出電流の変化を示す。

【0080】

【表6】

多結晶ダイヤモンドからなるn型層		電圧10Vに対する電流値 (A)
窒素濃度(cm^{-3})	ホウ素濃度(cm^{-3})	
1×10^{18}	$< 1 \times 10^{16}$	6×10^{-7}
3×10^{18}	$< 1 \times 10^{16}$	3×10^{-6}
1×10^{19}	$< 1 \times 10^{16}$	2×10^{-4}
3×10^{19}	$< 1 \times 10^{16}$	5×10^{-4}
1×10^{20}	$< 1 \times 10^{16}$	2×10^{-3}
1×10^{21}	$< 1 \times 10^{16}$	6×10^{-3}

【0081】これらの結果、n型層3における窒素のドーパント濃度 C_N が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である場合に、十分な放出電流が得られることがわかる。また、n型層3における窒素及び硼素のドーパント濃度 C_N 、 C_B が $100 C_B \geq C_N > C_B$ の関係を有する場合、さらに望ましくは $10 C_B \geq C_N > C_B$ の関係を有する場合に、十分な放出電流が得られることがわかる。

【0082】図14(a)に、本発明の電子デバイスに係る第3実施例の構成を示す。基板1上には、i型層2及びn型層3が順次積層して形成されている。基板1は、平滑な表面を有している。この基板1の所定領域に、i型層2及びn型層3が凸状のエミッタ部として基板1の表面から突出して形成されている。このエミッタ部は、範囲1~10 μm 角の底部面積を有し、底部における最小幅の値の1/10以上の高さを有している。

【0083】なお、エミッタ部の頂部面積は、底部面積とほぼ同一の値を有する。また、エミッタ部周辺における基板1上の所定領域に、配線層8がi型層2と接触するように形成されている。

【0084】ここで、基板1、i型層2及びn型層3は、上記第1実施例とほぼ同様に形成されている。ただし、n型層3は、層厚約1 μm を有する低抵抗ダイヤモンドからなる。また、配線層8は、良好な導電性を有する金属を蒸着して形成されている。

【0085】さらに、図14(b)、(c)に、上記第3実施例の第1及び第2変形例をそれぞれ示す。第1変形例では、エミッタ部の頂部面積が範囲0.5~5 μm 角であり、範囲1~10 μm 角の底部面積に対応した値を有する。また、第2変形例では、エミッタ部の頂部面積が0.1 μm 角以内の値を有する。

【0086】本実施例は、上記構成によれば、上記第1実施例とほぼ同様に作用する。

【0087】図15に、上記第3実施例の製造工程を示す。

【0088】まず、基板1上に、マイクロ波プラズマC

VD法により i 型層 2、n 型層 3 及びマスク層 4 を順次積層して形成する (図 15 (a) 参照)。

【0089】ここでは、i 型層 2、n 型層 3 及びマスク 4 は、上記第 1 実施例の形成方法とほぼ同様にして形成されている。

【0090】次に、マスク層 4 上に、レジスト層 5 をスピコートして形成する (図 15 (b) 参照)。

【0091】次に、通常の写真リソグラフィ技術を用いてレジスト層 5 に所定のパターン形成を行う。続いて、通常のエッチング技術を用いてレジスト層 5 のパター 10 ンに対応してマスク層 4 を成形する (図 15 (c) 参照)。

【0092】次に、 O_2 1% を含む Ar ガスを用いるドライエッチングを用いてマスク層 4 のパターンに対応して n 型層 3 及び i 型層 2 を成形する (図 15 (d) 参照)。

【0093】なお、マスク層 4 のパターンの周辺部では、基板 1 が平滑な表面を有するようにエッチングを行い、結果としてマスク層 4 のパターンの内側部に、基板 1 の表面から突出するようにエミッタ部を形成する。 20

【0094】次に、エミッタ部周辺における基板 1 上の所定領域に、良好な導電性を有する金属を i 型層 2 に接触するように蒸着して配線層 8 を形成する (図 15

(e) 参照)。

【0095】また、図 16 及び図 17 に、それぞれ上記第 1 及び第 2 変形例の製造工程を示す。これらの製造工程は、上記第 3 実施例とほぼ同様に行われる。ただし、各エミッタ部は、頂部面積が上記第 1 実施例よりもそれぞれ小さくなるように形成される。

【0096】図 18 は、上記第 3 実施例に対する実験の 30 説明図である。真空チャンバ 11 の内部では、上記第 1 実施例に対する実験とほぼ同様にして、電子デバイス 10 が設置されている。

【0097】ここでは、電子デバイス 10 は、1 mm 角の基板 1 上に i 型層 2 及び n 型層 3 からなる複数のエミッタ部が間隔 5 ~ 50 μm で二次元的に配列されている。各エミッタ部は、n 型層 3 における窒素及び硼素のドーパント濃度を一定の範囲で変動させたことを除き、上記第 3 実施例と同様にして形成されている。

【0098】まず、加熱ホルダを動作させることにより、基板 1 を温度 20 ~ 600℃ に設定した。次に、電圧源を動作させることにより、電子デバイス 10 とアノード電極板 14 との間に電圧 10 V を印加し、発生した電界により電子デバイス 10 から放出された電流を電流計で測定した。

【0099】表 7 に、n 型層 3 が単結晶ダイヤモンドからなる基板 1 上に気相合成された単結晶ダイヤモンド (エピタキシャル層) からなる場合の、窒素及び硼素のドーパント濃度に対する放出電流の変化を示す。

【0100】

【表 7】

単結晶ダイヤモンドからなる n 型層		電圧 10V に対する電流値 (A)
窒素濃度 (cm^{-3})	ホウ素濃度 (cm^{-3})	
1×10^{18}	$< 1 \times 10^{16}$	4×10^{-7}
3×10^{18}	$< 1 \times 10^{16}$	1×10^{-6}
1×10^{19}	$< 1 \times 10^{16}$	8×10^{-5}
3×10^{19}	$< 1 \times 10^{16}$	2×10^{-4}
1×10^{20}	$< 1 \times 10^{16}$	9×10^{-4}
1×10^{21}	$< 1 \times 10^{16}$	4×10^{-3}
1×10^{18}	1×10^{16}	4×10^{-6}
1×10^{18}	2×10^{17}	1×10^{-5}
1×10^{18}	9×10^{17}	3×10^{-5}
1×10^{18}	3×10^{18}	8×10^{-8}
1×10^{17}	2×10^{16}	4×10^{-6}
1×10^{17}	9×10^{16}	7×10^{-6}

【0101】また、表 8 に、n 型層 3 がシリコンからなる基板 1 上に気相合成された多結晶ダイヤモンドからなる場合の、窒素及び硼素のドーパント濃度に対する放出電流の変化を示す。

【0102】

【表 8】

多結晶ダイヤモンドからなる n 型層		電圧 10V に対する電流値 (A)
窒素濃度 (cm^{-3})	ホウ素濃度 (cm^{-3})	
1×10^{18}	$< 1 \times 10^{16}$	6×10^{-8}
3×10^{18}	$< 1 \times 10^{16}$	3×10^{-7}
1×10^{19}	$< 1 \times 10^{16}$	1×10^{-5}
3×10^{19}	$< 1 \times 10^{16}$	5×10^{-5}
1×10^{20}	$< 1 \times 10^{16}$	1×10^{-4}
1×10^{21}	$< 1 \times 10^{16}$	7×10^{-4}

【0103】これらの結果、n 型層 3 における窒素のドーパント濃度 C_N が $1 \times 10^{19} cm^{-3}$ 以上である場合に、十分な放出電流が得られることがわかる。また、n 型層 3 における窒素及び硼素のドーパント濃度 C_N 、 C_B が $100 C_B \geq C_N > C_B$ の関係を有する場合、さらに望ましくは $10 C_B \geq C_N > C_B$ の関係を有する場合に、十分な放出電流が得られることがわかる。

【0104】図 19 (a) に、本発明の電子デバイスに係る第 4 実施例の構成を示す。基板 1 上には、i 型層

2、n型層3、配線層8、絶縁層6及びアノード電極層7が順次積層して形成されている。基板1は、平滑な表面を有している。この基板1の所定領域に、i型層2及びn型層3が凸状のエミッタ部として基板1の表面から突出して形成されている。このエミッタ部は、範囲1～10 μ m角の底部面積を有し、底部における最小幅の値の1/10以上の高さを有しており、頂部が外部に露出されている。

【0105】なお、エミッタ部の頂部面積は、底部面積とほぼ同一の値を有する。また、エミッタ部周辺における基板1上の所定領域に、配線層8がi型層2と接触するように形成されている。さらに、絶縁層6及びアノード電極層7は、配線層8上に順次積層して形成されている。

【0106】ここで、基板1、i型層2及びn型層3は、上記第1実施例とほぼ同様に形成されている。ただし、n型層3は、層厚約1 μ mを有する低抵抗ダイヤモンドからなる。また、配線層8は、良好な導電性を有する金属を蒸着して形成されている。また、絶縁層6は、AlまたはSiO₂を蒸着して形成されている。さらに、アノード電極層7は、良好な導電性を有する金属を蒸着して形成されている。

【0107】また、図19(b)、(c)に、上記第4実施例の第1及び第2変形例をそれぞれ示す。第1変形例では、エミッタ部の頂部面積が範囲0.5～5 μ m角であり、範囲1～10 μ m角の底部面積に対応した値を有する。また、第2変形例では、エミッタ部の頂部面積が0.1 μ m角以内の値を有する。

【0108】本実施例は、上記構成によれば、上記第1実施例とほぼ同様に作用する。ただし、エミッタ部を除いたn型層3の周辺部上方にアノード電極層7が形成されていることにより、エミッタ部から放出された電子は、アノード電極層7で捕獲されて検出される。

【0109】図20及び図21に、上記第4実施例の製造工程を示す。

【0110】まず、基板1上に、マイクロ波プラズマCVD法によりi型層2、n型層3及びマスク層4を順次積層して形成する(図20(a)参照)。

【0111】ここでは、i型層2、n型層3及びマスク4は、上記第1実施例の形成方法とほぼ同様にして形成されている。

【0112】次に、マスク層4上に、レジスト層5をスピコートして形成する(図20(b)参照)。

【0113】次に、通常的光リソグラフィ技術を用いてレジスト層5に所定のパターン形成を行う。次に、通常のエッチング技術を用いてレジスト層5のパターンに対応してマスク層4を成形する(図20(c)参照)。

【0114】次に、O₂ 1%を含むArガスを用いるドライエッチングを用いてマスク層4のパターンに対応し

てn型層3及びi型層2を成形し、基板1上に突起部を形成する(図20(d)参照)。

【0115】なお、マスク層4のパターンの周辺部では、基板1が平滑な表面を有するようにエッチングを行い、結果としてマスク層4のパターンの内側部に、基板1の表面から突出するようにエミッタ部を形成する。

【0116】次に、エミッタ部周辺における基板1上の所定領域に、良好な導電性を有する金属をi型層2に接触するように蒸着して配線層8を形成する(図21(a)参照)。

【0117】次に、基板1及びマスク層4上に、AlまたはSiO₂を蒸着して絶縁層6を形成する(図21(b)参照)。

【0118】次に、エミッタ部周辺の絶縁層6上に、良好な導電性を有する金属を蒸着してアノード電極層7を形成し、エミッタ部上の絶縁層6及びマスク層4を除去する(図21(c)参照)。

【0119】また、図22及び図23、図24及び図25に、それぞれ上記第1及び第2変形例の製造工程を示す。これらの製造工程は、上記第4実施例とほぼ同様に行われる。ただし、各エミッタ部は、頂部面積が上記第1実施例よりもそれぞれ小さくなるように形成される。

【0120】図26は、上記第4実施例に対する実験の説明図である。真空チャンバ11の内部では、上記第2実施例に対する実験とほぼ同様にして、電子デバイス10が設置されている。

【0121】ここでは、電子デバイス10は、1mm角の基板1上にi型層2及びn型層3からなる複数個のエミッタ部が間隔5～50 μ mで二次的に配列されている。各エミッタ部は、n型層3における窒素及び硼素のドーパント濃度を一定の範囲で変動させたことを除き、上記第4実施例と同様にして形成されている。また、各エミッタ部に対応するアノード電極層7は、それぞれ独立して形成されている。さらに、アノード電極層7とn型層との間で電圧源及び電流計を介する配線は、スイッチングにより、選択されたエミッタ部と電氣的に接続するように構成することも可能である。

【0122】まず、加熱ホルダを動作させることにより、基板1を温度20～600℃に設定した。次に、電圧源を動作させることにより、電子デバイス10とアノード電極層7との間に電圧10Vを印加し、発生した電界により電子デバイス10から放出された電流を電流計で測定した。

【0123】表9に、n型層3が単結晶ダイヤモンドからなる基板1上に気相合成された単結晶ダイヤモンド(エピタキシャル層)からなる場合の、窒素及び硼素のドーパント濃度に対する放出電流の変化を示す。

【0124】

【表9】

単結晶ダイヤモンドからなるn型層		電圧10Vに 対する電流値 (A)
窒素濃度(cm^{-3})	ホウ素濃度(cm^{-3})	
1×10^{18}	$< 1 \times 10^{16}$	1×10^{-6}
3×10^{18}	$< 1 \times 10^{16}$	8×10^{-6}
1×10^{19}	$< 1 \times 10^{16}$	4×10^{-4}
3×10^{19}	$< 1 \times 10^{16}$	1×10^{-3}
1×10^{20}	$< 1 \times 10^{16}$	3×10^{-3}
1×10^{21}	$< 1 \times 10^{16}$	1×10^{-2}
1×10^{18}	1×10^{16}	2×10^{-5}
1×10^{18}	2×10^{17}	6×10^{-5}
1×10^{18}	9×10^{17}	2×10^{-4}
1×10^{18}	3×10^{18}	3×10^{-7}
1×10^{17}	2×10^{16}	1×10^{-5}
1×10^{17}	9×10^{16}	4×10^{-5}

【0125】また、表10に、n型層3がシリコンからなる基板1上に気相合成された多結晶ダイヤモンドからなる場合の、窒素及び硼素のドーパント濃度に対する放出電流の変化を示す。

【0126】

【表10】

多結晶ダイヤモンドからなるn型層		電圧10Vに 対する電流値 (A)
窒素濃度(cm^{-3})	ホウ素濃度(cm^{-3})	
1×10^{18}	$< 1 \times 10^{16}$	2×10^{-7}
3×10^{18}	$< 1 \times 10^{16}$	1×10^{-6}
1×10^{19}	$< 1 \times 10^{16}$	8×10^{-5}
3×10^{19}	$< 1 \times 10^{16}$	2×10^{-4}
1×10^{20}	$< 1 \times 10^{16}$	5×10^{-4}
1×10^{21}	$< 1 \times 10^{16}$	2×10^{-3}

【0127】これらの結果、n型層3における窒素のドーパント濃度 C_N が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である場合に、十分な放出電流が得られることがわかる。また、n型層3における窒素及び硼素のドーパント濃度 C_N 、 C_B が $100C_B \geq C_N > C_B$ の関係をもつ場合、さらに望ましくは $10C_B \geq C_N > C_B$ の関係をもつ場合に、十分な放出電流が得られることがわかる。

【0128】本発明は上記諸実施例に限られるものではなく、種々の変形が可能である。

【0129】例えば、上記諸実施例では、ダイヤモンド半導体層は気相合成された薄膜単結晶（エピタキシャル

層）であるが、高圧合成された人工のバルク単結晶、あるいは気相合成された薄膜多結晶であっても同様な作用効果が得られる。しかしながら、半導体デバイスの作製上における制御性を考慮すると、単結晶基板、あるいは平坦に研磨された表面を有する多結晶基板上にCVD法により気相合成された薄膜単結晶を用いることが好適である。

【0130】また、上記諸実施例では、各種導電型のダイヤモンド半導体層はプラズマCVD法により形成されているが、次に例示するCVD法を用いても同様な作用効果が得られる。第1の方法は、直流電界または交流電界で放電を起こすことにより、原料ガスを活性化する。また、第2の方法は、熱電子放射材を加熱することにより、原料ガスを活性化する。また、第3の方法は、イオンで衝撃された表面にダイヤモンドを成長させる。また、第4の方法は、レーザ、紫外線等の光を照射することにより、原料ガスを励起させる。さらに、第5の方法は、原料ガスを燃焼させる。

【0131】また、上記諸実施例では、n型層はCVD法によりダイヤモンド中に窒素を添加されているが、高圧合成容器中に炭素を含む原料、窒素を含む原料及び溶媒を添加して高圧合成法を用いて形成しても、同様な作用効果が得られる。

【0132】また、上記諸実施例では、基板は、単結晶ダイヤモンドからなる絶縁体基板、あるいはシリコンからなる半導体基板としているが、その他の材料からなる絶縁体基板または半導体基板としてもよい。さらに、基板は、金属から形成されていてもよい。

【0133】

【発明の効果】以上詳細に説明したように、本発明によれば、n型ダイヤモンド層からなるエミッタ部が、 $10 \mu\text{m}$ 角以内の底部面積を有し、周囲の平滑な表面から突出して形成されている。

【0134】このn型ダイヤモンド層を構成するダイヤモンドは、電子親和力がゼロに非常に近い値を有することにより、伝導帯と真空準位との差が微小である。また、n型ドーパントが高濃度にドーピングされていることにより、ドナー準位が縮退してそれぞれ伝導帯付近に存在しているので、電子の伝導として金属性伝導が支配的になっている。

【0135】そのため、室温～約 600°C 程度の温度範囲においてエミッタ部の表面付近で電界を発生すると、エミッタ部は先端部分を非常に微細に形成されていなくとも、小さい電界強度による電界放出で真空中に電子が高効率で放出される。

【0136】したがって、エミッタ部における電流密度が低減されるので、放出電流及び電流利得が増大されると共に、耐電流または耐電圧が増大される電子デバイスを提供することができるという効果がある。

【図面の簡単な説明】

19

【図 1】本発明の電子デバイスに係る第 1 実施例の構成を示す断面図である。

【図 2】本発明の電子デバイスに係る第 1 実施例の製造方法を示す工程断面図である。

【図 3】本発明の電子デバイスに係る第 1 実施例の製造方法を示す工程断面図である。

【図 4】本発明の電子デバイスに係る第 1 実施例の製造方法を示す工程断面図である。

【図 5】本発明の電子デバイスに係る第 1 実施例の実験を示す説明図である。

【図 6】本発明の電子デバイスに係る第 2 実施例の構成を示す断面図である。

【図 7】本発明の電子デバイスに係る第 2 実施例の製造方法を示す工程断面図である。

【図 8】本発明の電子デバイスに係る第 2 実施例の製造方法を示す工程断面図である。

【図 9】本発明の電子デバイスに係る第 2 実施例の製造方法を示す工程断面図である。

【図 10】本発明の電子デバイスに係る第 2 実施例の製造方法を示す工程断面図である。

【図 11】本発明の電子デバイスに係る第 2 実施例の製造方法を示す工程断面図である。

【図 12】本発明の電子デバイスに係る第 2 実施例の製造方法を示す工程断面図である。

【図 13】本発明の電子デバイスに係る第 2 実施例の実験を示す説明図である。

【図 14】本発明の電子デバイスに係る第 3 実施例の構成を示す断面図である。

【図 15】本発明の電子デバイスに係る第 3 実施例の製

20

造方法を示す工程断面図である。

【図 16】本発明の電子デバイスに係る第 3 実施例の製造方法を示す工程断面図である。

【図 17】本発明の電子デバイスに係る第 3 実施例の製造方法を示す工程断面図である。

【図 18】本発明の電子デバイスに係る第 3 実施例の実験を示す説明図である。

【図 19】本発明の電子デバイスに係る第 4 実施例の構成を示す断面図である。

10 【図 20】本発明の電子デバイスに係る第 4 実施例の製造方法を示す工程断面図である。

【図 21】本発明の電子デバイスに係る第 4 実施例の製造方法を示す工程断面図である。

【図 22】本発明の電子デバイスに係る第 4 実施例の製造方法を示す工程断面図である。

【図 23】本発明の電子デバイスに係る第 4 実施例の製造方法を示す工程断面図である。

【図 24】本発明の電子デバイスに係る第 4 実施例の製造方法を示す工程断面図である。

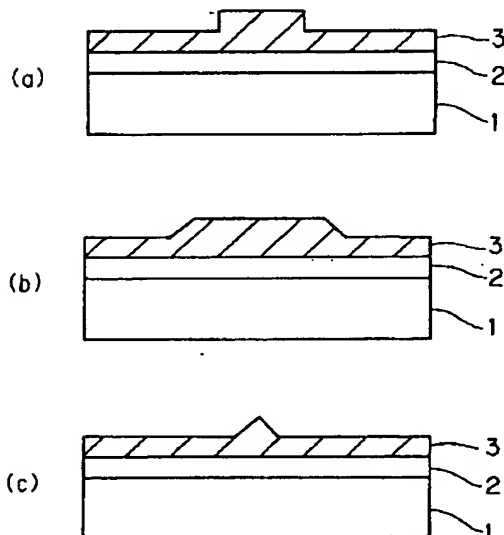
20 【図 25】本発明の電子デバイスに係る第 4 実施例の製造方法を示す工程断面図である。

【図 26】本発明の電子デバイスに係る第 4 実施例の実験を示す説明図である。

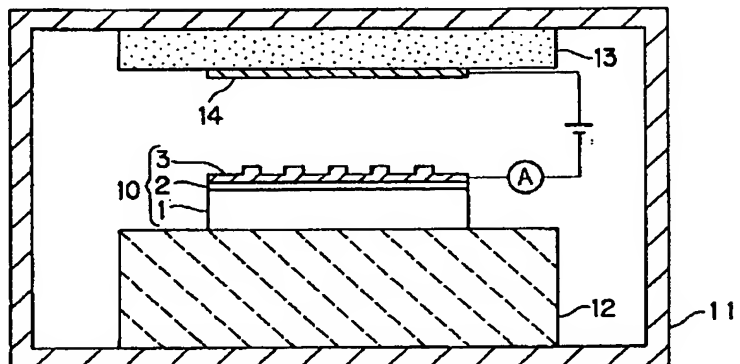
【符号の説明】

1…基板、2…i 型層、3…n 型層、40…マスク層、5…レジスト層、6…絶縁層、7…グリッド電極層、8…配線層、10…電子デバイス、11…真空チャンバ、12…加熱ホルダ、13…設置部、14…プレート、15…アノード電極板。

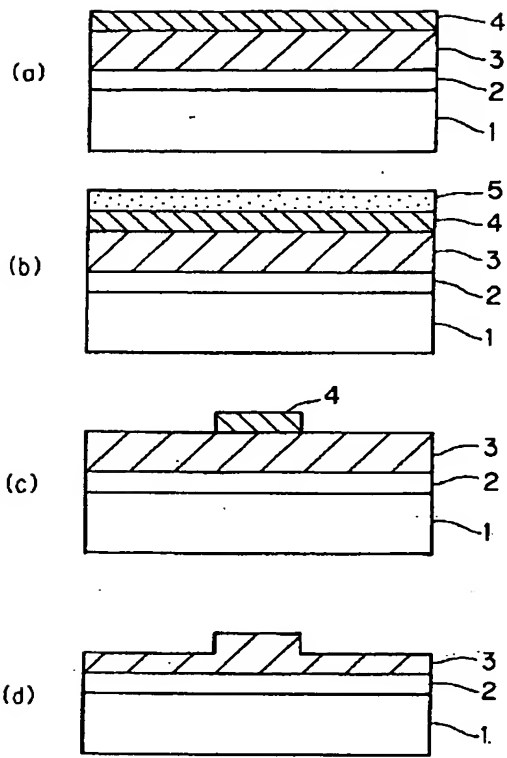
【図 1】



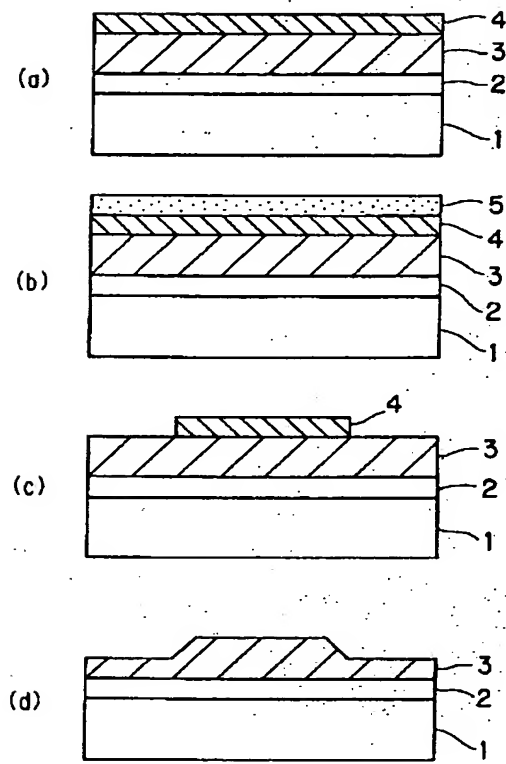
【図 5】



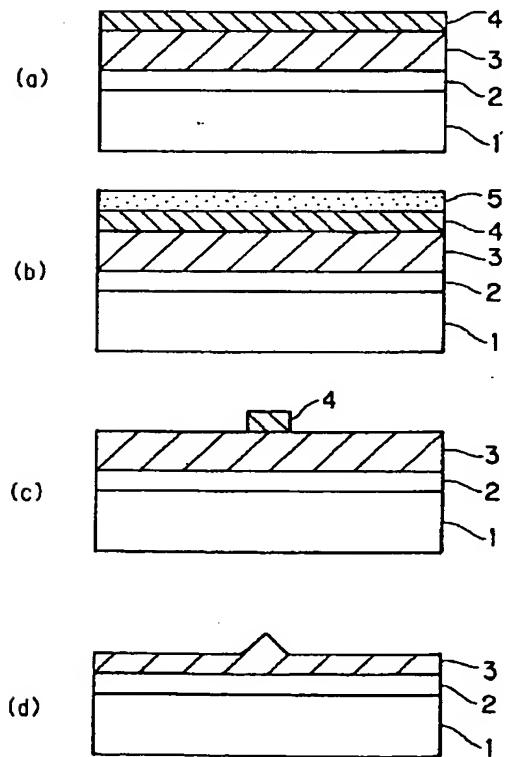
【図 2】



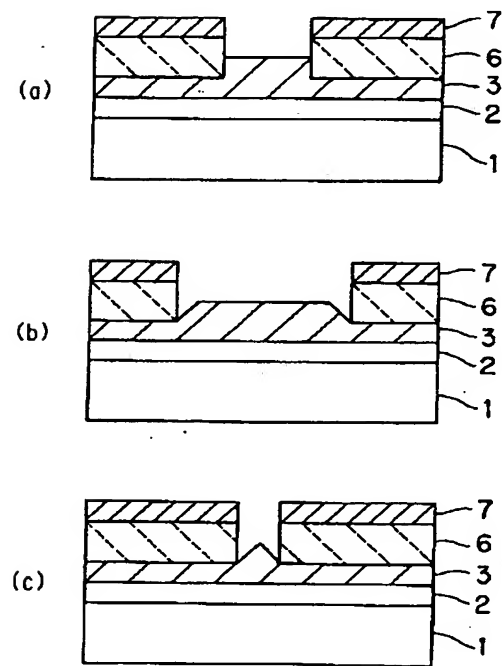
【図 3】



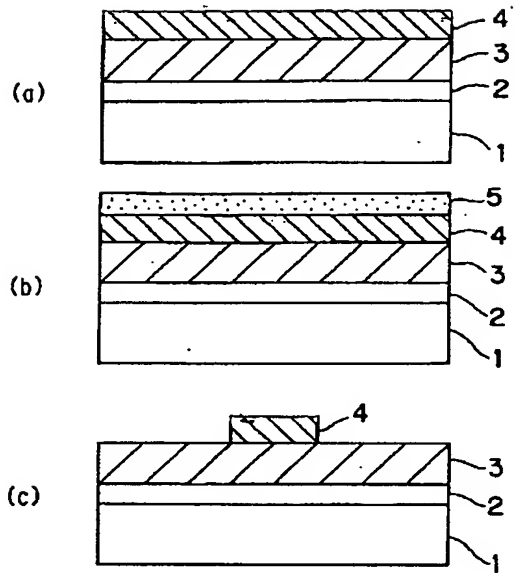
【図 4】



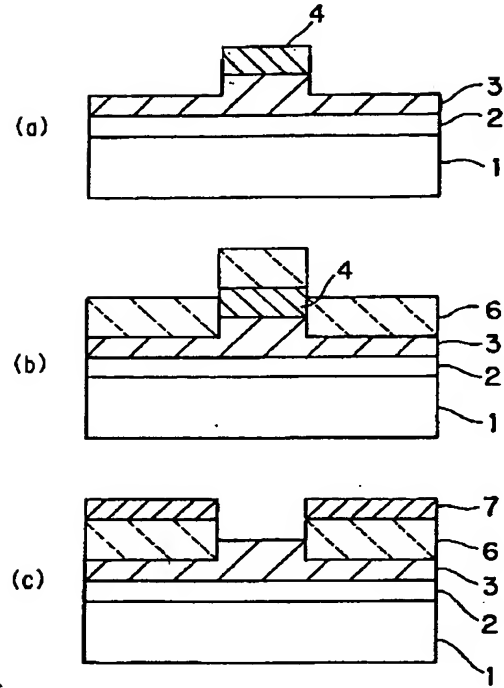
【図 6】



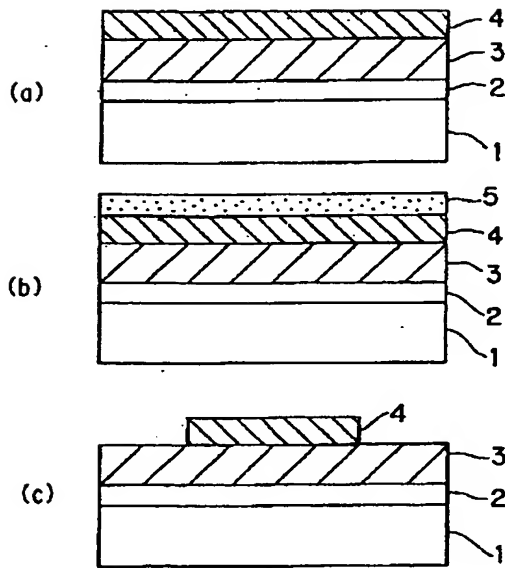
【図 7】



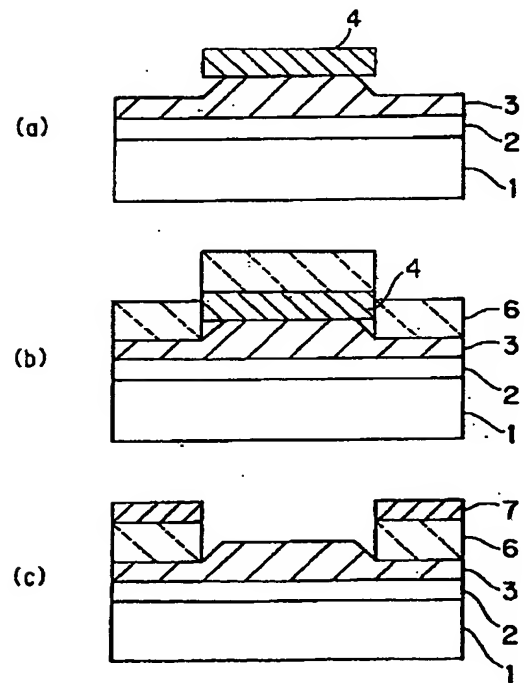
【図 8】



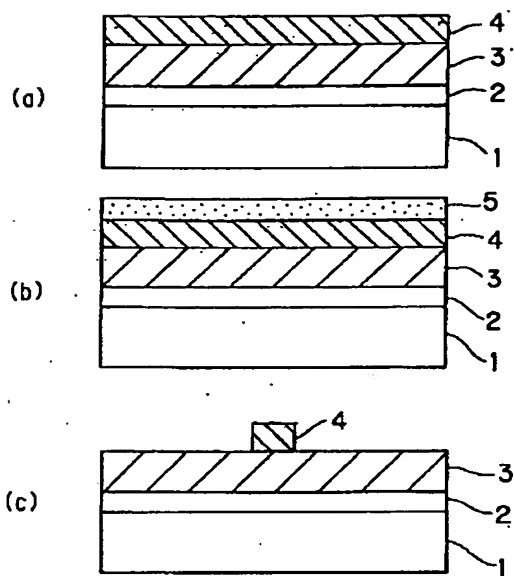
【図 9】



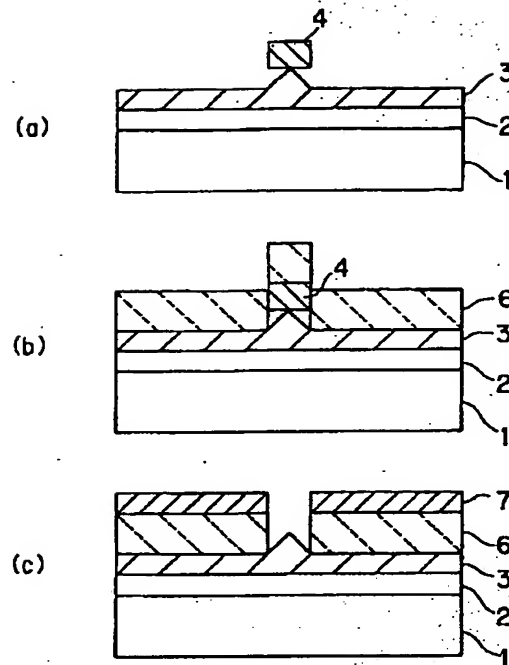
【図 10】



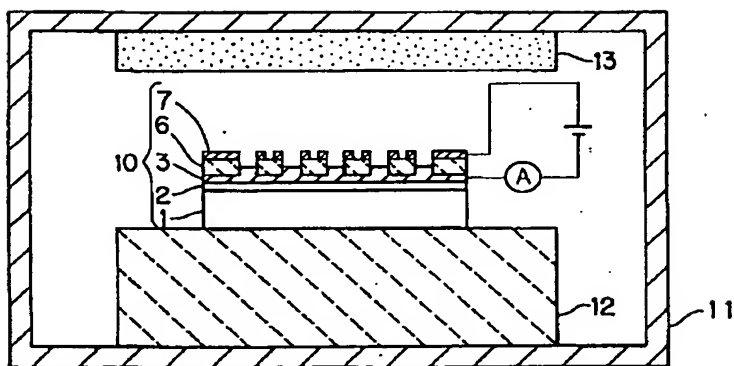
【図 1 1】



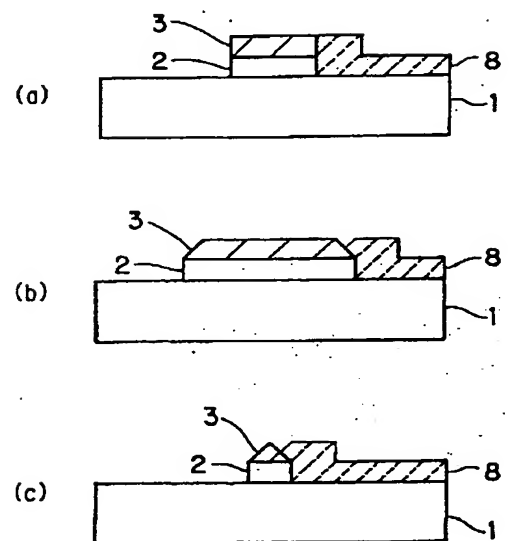
【図 1 2】



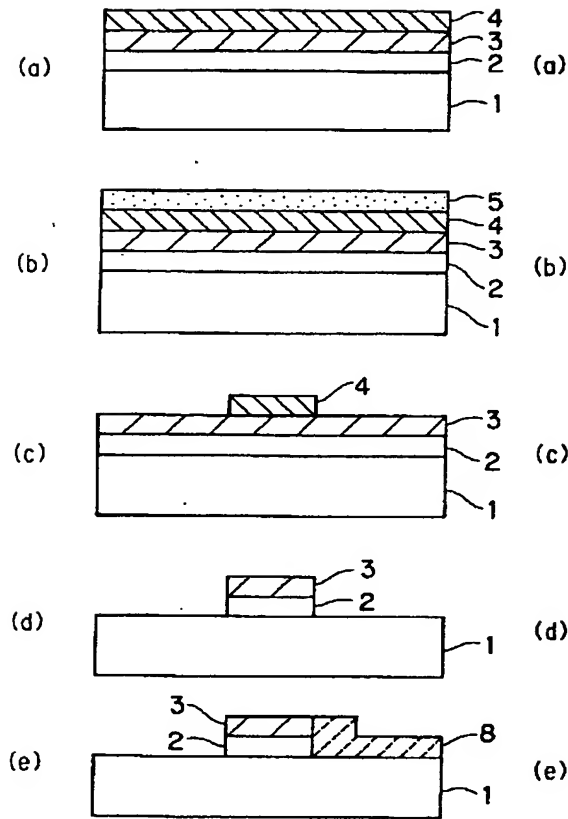
【図 1 3】



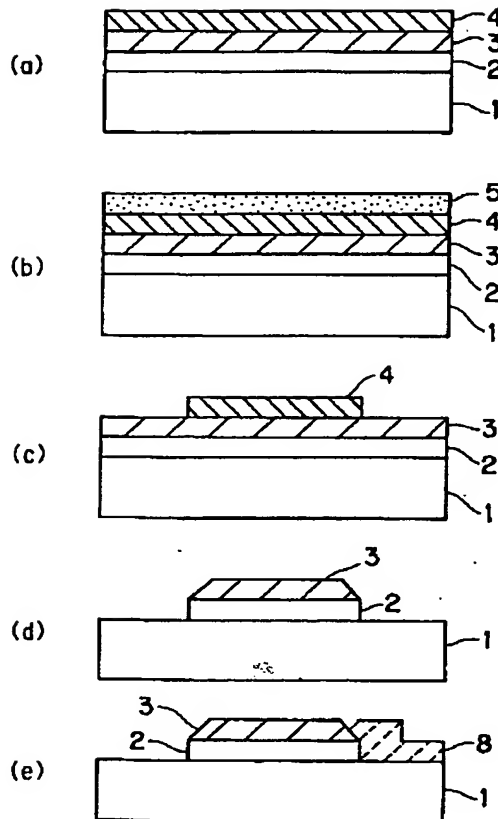
【図 1 4】



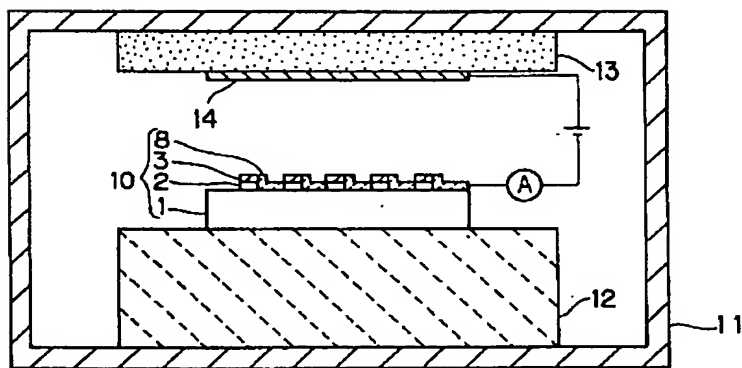
【図 15】



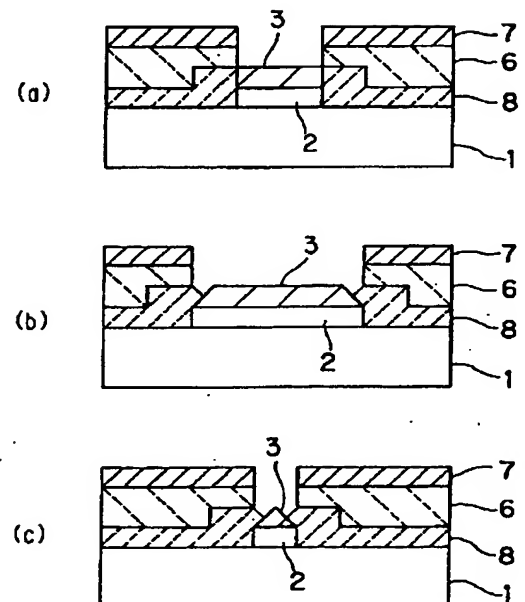
【図 16】



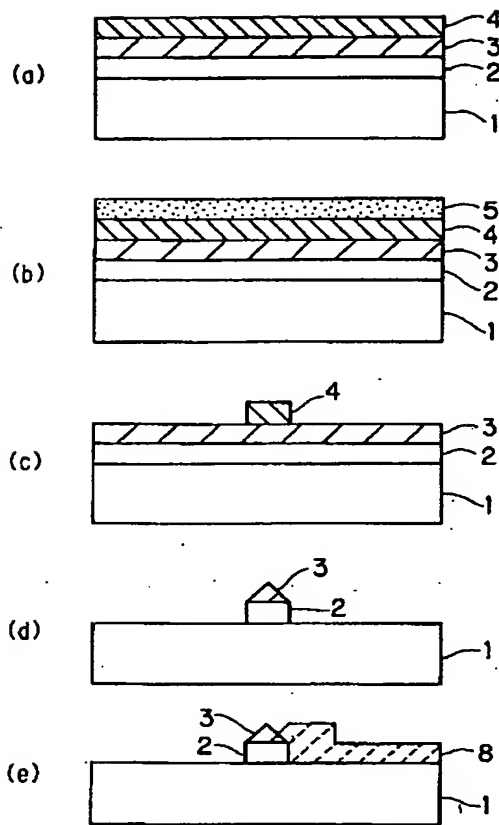
【図 18】



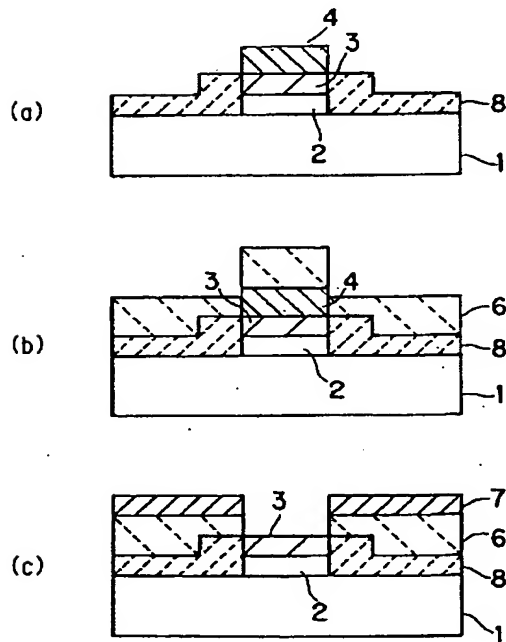
【図 19】



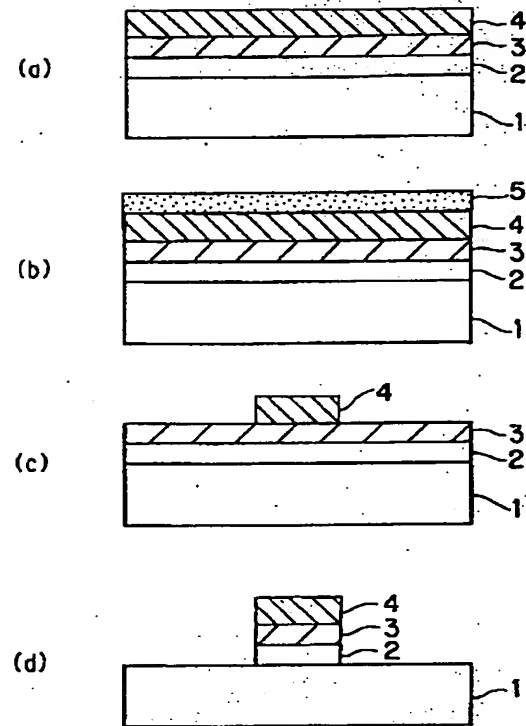
【図 17】



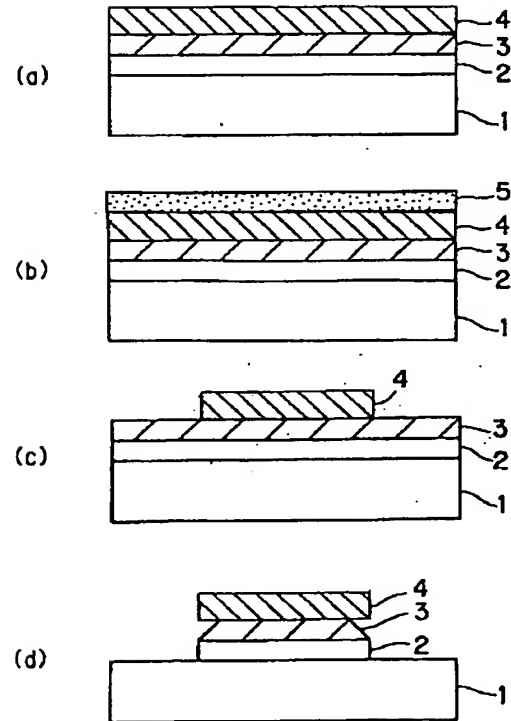
【図 21】



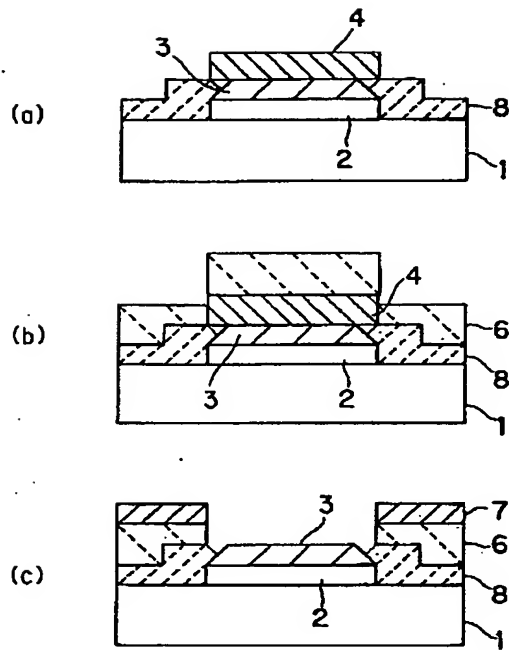
【図 20】



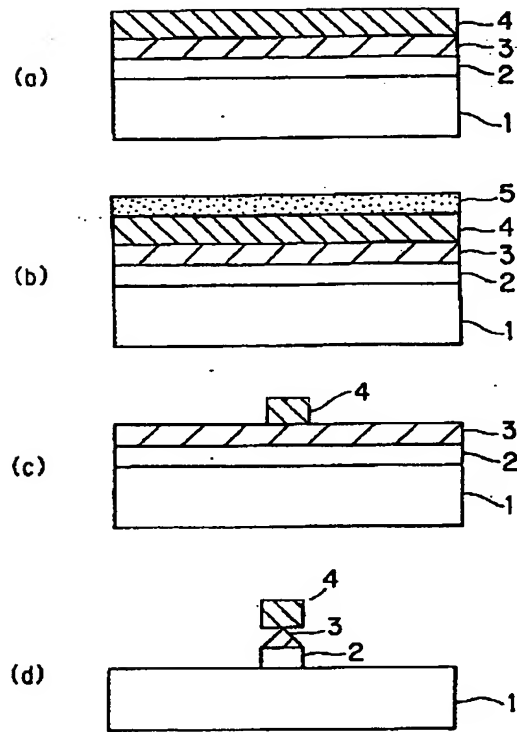
【図 22】



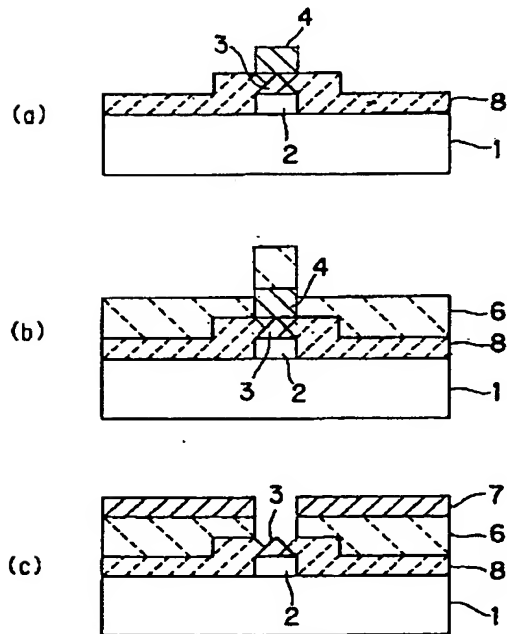
【図 23】



【図 24】



【図 25】



【図 26】

